

赖心华

✉ laixinhua21@mailsucas.ac.cn · 博士研究生 · in 中国科学院大学 · 北京



教育背景

中国科学院大学, 计算机应用技术 (081203) 博士在读 (研究方向: AI for EDA, 芯片布局/布线; 导师: 徐俊刚)	2021 – 至今
中南大学, 软件工程 (085405) 硕士 (研究方向: 深度学习应用; 导师: 陈学工)	2016 – 2019
景德镇陶瓷大学, 电子科学与技术 (080702) 学士	2010 – 2014

科研/专利

研究方向

AI for EDA, 芯片布局/布线, 深度学习应用

已接收的论文

- **Xinhua Lai**, He Liu, Weiguo Li, Yihang Qiu, Miao Liu, Simin Tao, Xingquan Li, Jungang Xu. iPCL-M1: Pre-training of Chip Layout for Metrics Evaluation and Optimization. DAC, 2026. (CCF-A)
- **Xinhua Lai**, Miao Liu, Xingquan Li, Yihang Qiu, Shijian Chen, Xinhao Li, and Jungang Xu. "iPO: Constant Liar Parameter Optimization for Placement with Representation and Transfer Learning." ACM TODAES, 2025. (Trans / CCF-B)
- Miao Liu, **Xinhua Lai**, Liwei Ni, Xingyu Meng, Rui Wang, Junfeng Liu, Xingquan Li, Jungang Xu. CircuitFlow: Learning Dynamic Representations for Logic Optimization. TCAD, 2026. (CCF-A)
- Xingquan Li, Weiguo Li, **Xinhua Lai**. iPCL: Pre-training for Chip Layout (Invited). ASPDAC, 2026. (CCF-C)
- Yihang Qiu, Zengrong Huang, Simin Tao, Hongda Zhang, Weiguo Li, **Xinhua Lai**, Rui Wang, Weiqiang Wang, Xingquan Li, "AiEDA: An Open-Source AI-Aided Design Library." TCAD, 2025. (CCF-A)
- Miao Liu, Liwei Ni, Junfeng Liu, Xingyu Meng, Rui Wang, Xiaoze Lin, **Xinhua Lai**, Xingquan Li, and Jungang Xu. TODAES, 2025 (CCF-B)
- Yihang Qiu, Zengrong Huang, Weiguo Li, **Xinhua Lai**, Rui Wang, He Liu, Ping Zhou, Simin Tao, Junfeng Liu, Yifang Li, Xingquan Li, "AiEDA-2.0: An Open-source AI-Aided Design Library." ISEDA, 2025. (EI)

在审稿的论文

- **Xinhua Lai**, et al., GT-Fusion: LLM Semantic and Spatio-Topological Integration for PPA Prediction and Optimization. ISEDA. 2026. (一作)
- **Xinhua Lai**, et al., "AiMPlacer: A Parallelized Macro Placer with Reinforcement Learning and Transformers." Neurocomputing, 2026. (SCI 二区 / 共一)

发明专利

- 徐俊刚 (导师), **赖心华**. 芯片设计指标生成模型训练方法及装置, CN202510301467.8
- 徐俊刚 (导师), **赖心华**. 芯片布局方法及装置, CN202411422151.6
- 徐俊刚 (导师), **赖心华**. 芯片布局信息生成方法及装置, CN202411421642.9
- 王玲, **赖心华**. 简历解析方法及装置, CN202210361622.1 (二作)

工作/实习经历

鹏城实验室

2024.5 – 至今

模型和算法研究 参与“AI for EDA”研究，负责算法模型设计，研究物理设计阶段的设计空间探索和大模型在物理设计阶段的应用

丽江文化旅游学院（人工智能学院兼职讲师）

2025.05.01 – 2025.06.16

课程教学与学生指导

- 导师安排前往讲授《人工智能综合实训》实验课程，设计课程实验与作业，结课后获得学生好评
- 指导部分学生从开题到论文撰写，持续给予指导，完成本科生毕业设计

中国科学院大学（助教）

2021.09.01 – 2025.12.31

课程助教 in UCAS

- 主要担任博士导师课程《高级数据管理》助教，线上线下答疑辅导，协助导师设计实验，实现代码并制作手册
- 同时也担任过《Python 编程基础》、《C++ 程序设计》和《高级软件工程》课程助教，负责作业/期末试卷评阅

中国科学院大学 CCIP 实验室

2020.08 – 2021.08

科研助理 根据导师安排提前加入实验室，参与项目开发与算法实现，支持科研课题推进

华为技术有限公司

2019.06 – 2020.07

C++ 研发工程师 负责网管 NCE（原 u2000）波分端到端（E2E）模块的算法开发与优化，使用 C++ 进行开发，参与路径搜索和计算算法的优化，提升网元信号传输效率，并支持业务监控和重建。

项目经历

基于多模态大模型的芯片 PPA 预测与优化框架 (ISED 2026)

2025.11 – 至今

- 提出了一种融合 LLM、GNN 和 UNet 的三模态 PPA 预测框架，旨在打破传统方法中逻辑网表设计意图与物理版图几何特征之间的“模态孤岛”问题。
- 设计了跨模态注入机制，利用 LLM 提取文本化的设计语义，将其与 GNN 提取的全局拓扑特征对齐，并注入到 UNet 的空间特征中，实现了语义、拓扑与几何视图的统一建模。
- 在 Skywater 130nm 基准上进行验证，相比单模态（Pure UNet）和双模态基线，视觉拥塞预测误差（MAE）降低了 28.3%，路径延迟预测误差（RMSE）降低了 37.5%，证明了多模态融合的必要性和有效性。
- 将预测模型集成至开源 EDA 工具（iEDA）中构建闭环优化流，指导布局器根据预测反馈动态调整策略；在拥塞受限设计中最大溢出减少 16.1%，在时序受限设计中 WNS 提升 3.3%。

基于预训练大模型的芯片布线生成与评估框架 (DAC 2026)

2024.11 – 至今

- 提出了一种基于符号化空间的芯片版图预训练框架，通过构建“生成-评估-优化-生成”（GEOG）的闭环范式，解决了传统物理设计中评估与优化割裂的问题。
- 构建了通用的版图符号系统，利用商业级路由数据预训练生成模型，实现从引脚坐标到三维布线路径的高精度生成，平均端点相对误差（MRE）小于 1%，绝对误差小于 1 个移动单位。
- 开发了轻量级度量评估模型，无需调用完整的 STA 流程即可从布线模式中快速预测时序、功耗及寄生参数，相比传统工具（iSTA）实现了 336 倍的推断加速。
- 设计了基于实时评估反馈的路径优化策略，显著提升了布线质量；实验表明，优化后的线长、延迟及 Slew 分别提升了 10.49%、13.03% 和 14.85%，关键指标超越商业工具（Innovus）。

AiEDA 开源 EDA 平台核心模块开发

2024.10 – 2025.03

- 算法工程化落地：将自研的跨设计参数优化算法（iPO）集成至 AiEDA 基础设施，构建了支持并行搜索与迁移学习的自动化调优流，实现了物理设计（布局/布线）关键参数的自适应配置。

- **架构设计与解耦**：采用 **桥接模式 (Bridge)** 将优化算法（如贝叶斯优化、进化算法）与底层 EDA 工具（如 iEDA、DREAMPlace）解耦，利用 **外观模式 (Facade)** 封装复杂的参数提取与配置接口，大幅降低了模块间的耦合度。
- **平台效能提升**：通过标准化接口设计，显著提升了平台的可扩展性，支持新工具的快速接入；优化后的架构有效支撑了跨设计的参数复用，加速了不同设计场景下的工具链部署与迭代。

基于强化学习与 Transformer 的并行宏布局框架 (Neurocomputing 2026) 2024.05 – 2024.12

- 提出了一种基于强化学习 (RL) 的宏单元布局框架 (AiMPlacer)，将宏布局问题转化为视觉表征学习任务，解决了现有 RL 方法中特征嵌入不当和训练收敛缓慢的瓶颈。
- 设计了基于 Transformer 的视觉编码器，结合边带信息嵌入技术，将芯片版图的全局视觉特征与网表拓扑（节点、边属性）进行深度融合，显著提升了布局特征的表达力。
- 开发了并行化优势演员-评论家算法 (PA2C)，引入混合异步与同步梯度更新的策略，利用多进程并行探索解空间；在 4 个并行进程下，相比单进程训练时间从 16 小时缩短至 6 小时，实现约 2.7 倍的训练加速。
- 在 ISPD2005 和 TILOS 基准测试上验证，该框架在 HPWL 指标上相比 DREAMPlace 优化了 6.8%，相比 DeepPlace 优化了 9.7%，且训练收敛速度相比传统 A2C 和 PPO 算法提升了 3 倍以上。

基于迁移学习与并行优化的布局参数自动化配置框架 (TODAES 2025) 2023.11 – 2025.05

- 提出了一种跨设计的布局参数优化框架 (iPO)，结合表征学习与迁移学习技术，解决了传统布局工具（如 DREAMPlace, iEDA）依赖人工经验调参且难以在不同设计间复用的痛点。
- 设计了基于 Graph2vec 和 Weisfeiler-Lehman 核的电路表征模块，将网表拓扑编码为高维向量，并通过余弦相似度聚类实现了基于设计相似性的参数迁移策略，有效利用历史数据指导新设计优化。
- 引入了“Constant Liar”启发式策略以支持异步并行搜索，解决了贝叶斯优化中的顺序执行瓶颈；实验表明，在 10 个并行进程下，参数搜索速度相比单进程提升约 18 倍。
- 在 ISPD2015 基准测试中，相比 AutoDMP 框架，HPWL 优化提升 11%，拥塞度降低 12.3%，且搜索迭代次数加速 3.49 倍；在 iEDA 28nm 设计上，相比人工调优，TNS 进一步优化了 2.8%。

掌握技能

- **编程语言**：Python、C++、Java；熟悉常用设计模式（如单例、工厂、观察者）
- **深度学习**：PyTorch（科研建模、模型训练与部署），系统掌握机器学习与深度学习
- **开发环境**：Linux, Vim/Neovim, CMake，熟练使用调试与版本控制

获奖情况

openDACS2025 开源 EDA 与芯片开源新秀奖	2025
openDACS2025 开源 EDA 与芯片赛题优胜奖	2025
中国科学院大学“科学智能”研究生学术论坛最佳墙报	2025
侠客岛 EDA ² 混合尺寸布局算法竞赛第三名	2025.07
中国科学院大学“研究生学业奖学金”（3次）	2021-23 年
中国科学院大学“三好学生”	2021 学年

其他

- **英语**：英语六级 (CET6)，熟练
- **GitHub** 累计 1.2k ★ in SivanLaai，个人博客 in <https://blog.laais.cn>

个人简介

专注 AI+EDA 研究，以第一作者发表 DAC 2026、TODAES 等论文，同时具备完整的算法工程化能力（华为 C++ 研发、AiEDA 开源核心贡献）。擅长从科研创新到模型落地的全链路开发，在预训练大模型、多模态融合、生成式框架等方向有深入实践。热爱开源与知识分享（GitHub 1.2k star），乐于在协作中推动技术落地。